

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 9月 1日

出 願 番 号

Application Number:

特願2000-265495

出 願 人

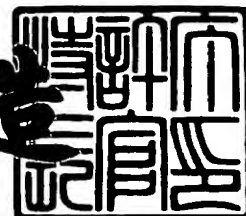
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084392

【書類名】 特許願

【整理番号】 00000511

【提出日】 平成12年 9月 1日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 27/06

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 石井 和敏

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス
ツルメンツ株式会社内

【氏名】 小山内 潤

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 服部 純一

【代理人】

【識別番号】 100096286

【弁理士】

【氏名又は名称】 林 敬之助

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9003012

特 2 0 0 0 - 2 6 5 4 9 5

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置とその製造方法

【特許請求の範囲】

【請求項 1】 P 型半導体基板表面付近にゲート絶縁膜を介して P 型多結晶シリコンゲートとタングステンシリサイドと酸化膜を順に形成する第 1 の工程と

、
前記 P 型多結晶シリコンゲートとタングステンシリサイドと酸化膜を同一マスクでパターンニングしゲート電極を形成し、前記ゲート電極をマスクに自己整合的に N 型不純物を導入し低濃度 N 型不純物領域を形成する第 2 の工程と、

前記ゲート電極と間隔を空けて N 型不純物を導入し高濃度 N 型不純物領域を形成する第 3 の工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 2】 前記第 2 の工程において、前記低濃度 N 型不純物領域を形成した後に、前記低濃度 N 型不純物領域の下側に P 型不純物を導入しポケット領域を形成する工程を有することを特徴とする請求項 1 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 3】 前記低濃度 N 型不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、前記ポケット領域濃度を $1 \times 10^{17} / \text{cm}^3$ 程度で形成する工程を有することを特徴とする請求項 1 または 2 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 4】 P 型半導体基板表面付近に形成された N ウェル領域内にゲート絶縁膜を介して P 型多結晶シリコンゲートとタングステンシリサイドと酸化膜を順に形成する第 1 の工程と、

前記 P 型多結晶シリコンゲートとタングステンシリサイドと酸化膜を同一マスクでパターンニングしゲート電極を形成し、前記ゲート電極をマスクに自己整合的に P 型不純物を導入し低濃度 P 型不純物領域を形成する第 2 の工程と、

前記ゲート電極と間隔を空けて P 型不純物を導入し高濃度 N 型不純物領域を形成する第 3 の工程とを有することを特徴とする絶縁ゲート型半導体装置の製造方法。

【請求項 5】 前記第 2 の工程において、前記低濃度 P 型不純物領域を形成

した後に、前記低濃度 P 型不純物領域の下側に N 型不純物を導入しポケット領域を形成する工程を有することを特徴とする請求項 4 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 6】 前記 P 型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、前記ポケット領域濃度を $1 \times 10^{17} / \text{cm}^3$ 程度で形成する工程を有することを特徴とする請求項 4 または 5 記載の絶縁ゲート型半導体装置の製造方法。

【請求項 7】 出力電圧を所望の一定電圧に制御する半導体集積回路装置（ボルテージレギュレータ）を構成する MOS 型 FET において、

表面チャネル型 P 型 MOS FET と埋め込みチャネル型 N 型 MOS FET とを有することを特徴とする半導体装置。

【請求項 8】 P 型ポリシリコンをゲート電極に有することを特徴とする請求項 7 記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の利用分野】

本発明は MOS 構造の電界効果型半導体装置とその製造方法に関する。

【0002】

【発明の属する技術分野】

本発明は携帯機器等の電源電圧管理用に用いられるボルテージレギュレータ、スイッチングレギュレータ、ボルテージデテクター等の半導体集積回路を構成する半導体装置とその製造方法に関する。

【0003】

【従来の技術】

従来から、半導体素子の高駆動化、低消費電力化、低寄生容量化に関して、多くの研究開発が進められている。MOS FET の高駆動化は、ゲート電極の幅を小さくすることとソース、ドレイン寄生抵抗を小さくすることによっておこなわれる。ゲート電極の幅が小さくなるということは、その下のチャネル領域の長さ、すなわち、チャネル長が小さくなるということであり、このことは、チャネル領域をキャリアが通過するに要する時間を小さくすることとなり、結果的には高

駆動化がもたらされる。しかしながら、そのことによって、別な問題（短チャネル効果）も生じる。その中で最も重要なものはリーク電流の問題である。

【 0 0 0 4 】

従来のような、十分に不純物濃度の大きなソースおよびドレインという不純物領域に、極性が反対の不純物がドーピングされたチャネル領域がはさまれた構造では、チャネル領域を縮小するにしたがって、ソースとドレインに印加される電圧によってチャネル領域と不純物領域の境界付近の電界が大きくなる。その結果、M O S F E T の動作は極めて不安定になる。

【 0 0 0 5 】

そのような問題点を解決する目的で提唱された、従来の技術としてのM O S F E T の構造が、スペーサーを用いたL D D (Lightly-Doped-Drain)という構造である。これは、典型的構造は図 2 (D) に示される。図 2 (D) において、不純物濃度の高い領域 3 よりも浅く設けられた不純物濃度の低い領域 1 3 がL D D と呼ばれる。このような領域を設けることによって、チャネル領域と不純物領域の境界近傍の電界を小さくし、素子の動作を安定化させることが可能となった。L D D は、通常、図 2 のように形成される。図 2 は、N M O S の例を示したがP M O S であっても同様に形成される。最初に、P 型の半導体基板 1 上に酸化膜と導電性膜が形成され、これらはエッチングされて、図 2 (A) に示すようにゲート絶縁膜 2 とゲート電極 4 となる。そして、このゲート電極 4 をマスクとして、自己整合（セルフアライン）的に、例えば、イオン打ち込み法等によって、比較的不純物濃度の低い（記号ではN- と表される）領域 1 3 が形成される場合もある。

【 0 0 0 6 】

ここで、ゲート電極 4 をマスクとして自己整合（セルフアライン）的に、不純物濃度の低い領域 1 3 と反対導電型イオンをイオン打ち込み法等によって、不純物濃度の低い領域 1 3 の下側に、不純物濃度の低いポケットインプラ領域 2 3 が形成される。

【 0 0 0 7 】

次いで、この上にN S G やP S G のような絶縁膜 5 が形成される。そして、こ

の絶縁膜 5 は、バイアスプラズマエッチのような異方性エッチング法によって、除去されるが、異方性エッチングの結果、ゲート電極の側面では絶縁膜 5 がエッチングされないで、図 2 (C) に示すような形状で残る。この残留物をスペーサー 6 と称する。そして、このスペーサー 6 をマスクとして、セルフアライン的に不純物濃度の高い（記号では N^+ と表される）領域 3 が形成される。そして、この N^+ 型不純物領域が MOSFET のソース、ドレインとして用いられる。

【0008】

また、こうした LDD 構造以外にも、マスクを用いたオフセット型 LDD 構造が知られている。この従来の技術について以下に記載する。この従来の技術では単結晶半導体基板上に形成した相補型 MOSFET 装置 (CMOS) に用いた場合を示す。まず、図 3 (A) に示すように、P 型半導体基板 1 上に、従来の集積回路作製方法を使用して、N 型ウェル 7、フィールド絶縁物 8、 N^- 型不純物領域 11、 N^+ 型不純物領域 12、 P^+ 型不純物領域 14、 P^- 型不純物領域 15、ポケット領域 (NMOS 用) 24 と同 25 (PMOS 用) とリングドープされた N 型多結晶シリコンのゲート電極 16 (NMOS 用) と同 17 (PMOS 用) を形成する。

【0009】

その詳細な作製方法は以下の通りである。まず、不純物濃度が $1E15/cm^3$ 程度の P 型シリコンウェハーに BF_2^+ イオンを打ち込み、いわゆる LOCOS 法によって、チャネルストッパー 10 とフィールド絶縁物 8 を形成する。さらにこれに、リンイオンを注入し、 $1000^\circ C$ で 3 ~ 10 時間アニールして、リンイオンを拡散、再分布させ、不純物濃度 $1E16/cm^3$ 程度の N 型ウェル 7 を形成する。

【0010】

その後、熱酸化法によって、厚さ 20 ~ 100 nm のゲート絶縁膜 (酸化珪素) と、減圧 CVD 法によって、厚さ 500 nm、リン濃度 $1E21/cm^3$ の多結晶シリコン膜を形成し、これをパターニングして、ゲート電極となるべき部分 16 および 17 を形成し、熱酸化等によりゲート電極となるべき部分 16 および 17 の上方部側壁部に酸化膜 33 を形成する。

【0011】

そして、ゲート電極となるべき部分および必要によっては他のマスクを用いて、イオン注入法により、不純物濃度 $1 \text{ E } 18 \text{ cm}^{-3}$ の N- 型不純物領域 11 と、その下に必要に応じて P 型の不純物濃度 $1 \text{ E } 17 \text{ cm}^{-3}$ 程度のポケット領域 24 を形成し、さらに不純物濃度 $1 \text{ E } 18 \text{ cm}^{-3}$ の P- 型不純物領域 14 と、その下に必要に応じて N 型の不純物濃度 $1 \text{ E } 17 \text{ cm}^{-3}$ 程度のポケット領域 25 を作製する。このようにして図 3 (A) を得る。

【0012】

次いで、図 3 (B) のようにレジストマスク 34 を用いて再びイオン注入法によって、N+ 型の不純物領域 12 とレジストマスク 35 を用いて P+ 型の不純物領域 14 をゲート電極となるべき部分 16 および 17 と間隔を空けて形成する。いずれの不純物領域も不純物濃度は $1 \text{ E } 21 \text{ cm}^{-3}$ 程度とする。

【0013】

ここで N+ 型の不純物領域 12 および P+ 型の不純物領域 14 とゲート電極となるべき部分 16 および 17 との間隔は、前出のスペーサーを用いた LDD 構造の場合とは異なり、広く設定できる。このためドレイン印可電圧 7 V の場合は $0.5 \sim 1.0 \text{ }\mu\text{m}$ 程度、10 V の場合は $0.7 \sim 2.0 \text{ }\mu\text{m}$ 程度、36 V の場合は $2.0 \sim 5.0 \text{ }\mu\text{m}$ 程度に設定されていた。

【0014】

最後に、一般の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層 20 を形成する。リンガラス層 20 の形成には、例えば、減圧 CVD 法を用いればよい。材料ガスとしては、モノシラン SiH_4 と酸素 O_2 とホスフィン PH_3 を使い、 450°C で反応させて得られる。

【0015】

その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極 21 を形成する。こうして、図 3 (C) に示されるような相補型 MOS 装置が完成する。

【0016】

【発明が解決しようとする課題】

しかしながら、従来のスペーサーを用いた LDD 構造の問題点はゲート長を小

さくすることによるリーク電流の増加の問題である。特に電源電圧制御用集積回路の場合、P型MOSFETにおいてその傾向が顕著である。

【0017】

短チャネル化によって、動作速度を向上させたとしても、リーク電流が大きければ、短チャネル化の効果は無意味となってしまう。リーク電流を低減させるには、ポケットインプラやパンチスルー防止用インプラ等の不純物注入技術を用いてドレインーチャネル領域間の空乏層の広がりを抑制する方法が良く採用されているが、それとて、電源電圧が大きいと（10V以上）、P型MOSFETの場合、ゲート電極の長さが2.0 μ m程度以下となる状況では限界となることが予想される。

【0018】

また従来のレジストマスクを用いたオフセット型LDD構造の場合も問題点はゲート長を小さくすることによるリーク電流の増加の問題である。特に電源電圧制御用集積回路の場合、P型MOSFETにおいてその傾向が顕著である。

【0019】

短チャネル化によって、動作速度を向上させたとしても、リーク電流が大きく、ゲート電極の抵抗が大きければ、短チャネル化の効果は無意味となってしまう。リーク電流を低減させるには、ポケットインプラやパンチスルー防止用インプラ等の不純物注入技術を用いてドレインーチャネル領域間の空乏層の広がりを抑制する方法が良く採用されているが、それとて、電源電圧が大きいと（10V以上）、P型MOSFETの場合、ゲート電極の長さが1.0 μ m程度以下となる状況では限界となることが予想される。

【0020】

つまり従来ゲート電極として用いられてきたN型ポリシリコンは、P型MOSFETの場合、N型ウェルとの仕事関数の差のため、しきい値電圧が負方向に非常に大きく（約-1V程度）、しきい値制御用の不純物注入を行わないと、インバータ回路等を構成する場合（CMOSを構成する場合）、N型MOSFETとのバランスが悪くなり、反転電圧が電源電圧の中心から大きくずれ、回路動作のマージンが著しく低くなる。また、しきい値電圧値が大きいため、N型MOSF

ETとP型MOSFETのしきい値の絶対値の和より大きな値が必要となる電源電圧を低電圧化することが困難となる。このため、一般的にしきい値制御用の不純物注入でしきい値電圧の低減化を行っている。しかし、チャンネル領域の不純物濃度を低下させる方向のしきい値制御用の不純物注入を行うと、MOSFETのチャンネルはチャンネル領域表面より基板内部に少し埋め込まれた領域に形成され（埋め込みチャンネル型）、チャンネル領域表面領域にチャンネルが形成される表面チャンネル型に比べ、短チャンネル効果が劣化し、短チャンネル化が困難であった。

【 0 0 2 1 】

【課題を解決するための手段】

そこで本発明は、上記課題を解決するために以下の手段を用いた。

P型半導体基板表面付近にゲート絶縁膜を介してP型多結晶シリコンゲートを形成する第1の工程と、P型多結晶シリコンゲートをマスクに自己整合的にN型不純物を導入し低濃度N型不純物領域を形成する第2の工程と、P型多結晶シリコンゲートとP型半導体基板表面付近に熱酸化法等を用いて酸化膜を形成する第3の工程と、ホトレジストをマスクにN型不純物を導入し高濃度N型不純物領域をゲート電極と間隔を空けて形成する第4の工程とを用いた。

【 0 0 2 2 】

また、P型半導体基板表面付近にN型ウェル領域を形成し、N型ウェル領域表面付近にゲート絶縁膜を介してP型多結晶シリコンゲートを形成する第1の工程と、P型多結晶シリコンゲートをマスクに自己整合的にP型不純物を導入し低濃度P型不純物領域を形成する第2の工程と、

P型多結晶シリコンゲートとN型ウェル領域表面付近に熱酸化法等を用いて酸化膜を形成する第3の工程と、

ホトレジストをマスクにN型不純物を導入し高濃度N型不純物領域をゲート電極と間隔を空けて形成する第4の工程とを用いた。

【 0 0 2 3 】

さらに、N型低濃度不純物領域を形成した後に、N型低濃度不純物領域の下側にP型不純物を導入しポケット領域を形成する工程を用いた。

【 0 0 2 4 】

さらに、P型低濃度不純物領域を形成した後に、P型低濃度不純物領域の下側にN型不純物を導入しポケット領域を形成する工程を用いた。

【0025】

また、N型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、ポケット領域濃度を $1 \times 10^{17} / \text{cm}^3$ 程度で形成した。

【0026】

P型低濃度不純物領域濃度を $1 \times 10^{18} / \text{cm}^3$ 程度で形成し、ポケット領域濃度を $1 \times 10^{17} / \text{cm}^3$ 程度で形成した。

【0027】

【実施例】

ここまで説明してきたように、本発明では、P型MOSFETがN型MOSFETに比べて比較的多く使用される半導体集積回路装置において、チャネル長の短チャネル化が容易となるようP型MOSFETを表面チャネル型のMOSFETで構成し、その駆動能力の向上と小型化を促進させたものである。

【0028】

また、短チャネル化に不向きな埋め込みチャネルをN型MOSFETに適用することはN型MOSFETに関してのみ言えば不利益なものではあるが、従来の埋め込みチャネルP型MOSFETとのパフォーマンスの比較においては、従来より著しく向上しさせることができる。これはN型とP型が同一のチャネル長で有ったとしても、N型MOSFETのキャリアである電子の方がP型MOSFETのキャリアであるホールより移動度が大きい事による。

【0029】

また、N型MOSFETの最小チャネル長を決定する際、必ずしも短チャネル効果で決まらない場合がある。それは、N型MOSFETの基板電流によるバイポーラ動作（スナップバック現象）が生じてしまう場合である。これは、短チャネル化に伴いドレイン電流、ドレイン電界が増加しホットキャリアの発生が増進されるためである。一方、P型MOSFETはホットキャリアの発生がN型に比べて著しく少ないため、スナップバック現象でチャネル長が決定されることはほとんどない。つまり、本発明のようなアプリケーションの場合、一般的な微細化

の常識とは反対で、N型MOSFETよりもむしろ、P型MOSFETの方がより短チャネル化が容易である。そうしたことから、本発明のP型MOSFETを表面チャネルで構成しN型MOSFETを埋め込みチャネルで構成したことはたいへん効果的である。

【0030】

さらに、N型MOSFETのホットキャリア発生は、表面チャネルよりもむしろ埋め込みチャネルの場合の方が少ない。これは、N型MOSFETの短チャネル化の限界が、リーク電流で決定されない場合、スナップバック現象による短チャネル化の限界をブレークスルーできる要因となる。つまり、この場合、N型MOSFETの短チャネル化をも推進できる。

【0031】

また、本発明の製造方法においては、P型ポリシリコンをマスクにN型不純物を注入する際、P型ポリシリコンの濃度低下による、抵抗の増大、ゲート電極の空乏化が懸念される。この課題を解決するため、P型ポリシリコン上に金属シリサイド膜を形成し、さらに金属シリサイド膜上に酸化膜を形成し、これらP型ポリシリコン、金属シリサイド膜、酸化膜を同一マスクでエッチングし、酸化膜を所望の工程まで残しておく方法を用いた。この方法はP型ポリシリコンをマスクにN型不純物を注入する際にP型ポリシリコンにN型不純物が注入されないようにすることを可能とすることができる。

【0032】

以下に、この発明の実施例を図面に基づいて説明する。

【0033】

この実施例では単結晶半導体基板上に形成した相補型MOSFET装置（CMOS）に本発明を用いた場合を示す。本実施例の製造方法を図1に示す。まず、図1（A）から（D）に示すように、P型半導体基板1上に、従来の集積回路作製方法を使用して、N型ウェル7、フィールド絶縁物8、N型不純物領域11、N+型不純物領域12、P+型不純物領域14、P型不純物領域15、ボロンがドーパされたP型多結晶シリコンのゲート電極16（NMOS用）と同17（PMOS用）が設けられている。

【0034】

その詳細な作製方法は以下の通りである。P型半導体基板1表面付近にリンイオンを注入し、1000～1175℃で3～20時間アニールして、リンイオンを拡散、再分布させ、不純物濃度 $1 \times 10^{16} \text{ cm}^{-3}$ 程度のN型ウェル7を形成する。引き続き、パターンニングされた領域にB⁺イオンを打ち込み、いわゆるLOCOS法によって、チャネルストッパーとフィールド絶縁物8を形成する。

【0035】

その後、所望のチャネル領域へのしきい値電圧制御用の砒素イオン注入と、熱酸化法による厚さ10～30nmのゲート絶縁膜（酸化珪素）形成と、減圧CVD法等による厚さ100～500nmのポリシリコン膜形成と、B⁺イオンを打ち込みによるP型ポリシリコン膜28形成と、P型ポリシリコン膜28上へのスパッタ法等による厚さ100～200nm程度のタングステンシリサイド膜29の形成と、タングステンシリサイド膜29上への、減圧CVD法等による厚さ100～300nm程度の酸化膜30形成と、これらをパターンニングしてゲート電極となるべき部分16および17の形成をおこなう。そして、熱酸化法あるいは減圧CVD法等を用いてゲート電極16、17の上部側壁部、半導体基板表面部等に酸化膜31を10～50nm程度形成する。

【0036】

この後、図示はしていないが、外部からのノイズ電荷からCMOSを守る保護用N型トランジスタのソースドレインとなる領域に不純物濃度 $1 \times 10^{21} \text{ cm}^{-3}$ 程度のN⁺型不純物領域を形成する。ここでのN型ドーパントは拡散係数の大きいリンを用いる。

【0037】

そして、再び、ゲート電極となるべき部分16および必要によっては他のマスクを用いて、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 程度のN⁻型不純物領域11と、その下にP型の不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 程度のポケット領域24を形成し、さらにB⁺イオンを打ち込んで、不純物濃度 $1 \times 10^{18} \text{ cm}^{-3}$ 程度のP⁻型不純物領域15と、その下にN型の不純物濃度 $1 \times 10^{17} \text{ cm}^{-3}$ 程度のポケット領域25を作製する。このようにして図1(A)を得る。

【0038】

次に、図1（B）に示すように、CVD法等で酸化膜を300～600nm程度形成した後、異方性エッチングを行うことによりゲート電極16、17の側壁に酸化膜スペーサー32を形成する。

【0039】

次いで、再びイオン注入法によって、N+型の不純物領域12とP+型の不純物領域14を形成する。いずれの不純物領域も不純物濃度は $1 \times 10^{21} \text{ cm}^{-3}$ 程度とする（図1（C））。この場合、ゲート電極とスペーサーをマスクにイオン注入する場合と、レジストをマスクにイオン注入する場合とがある。図3（A）～（C）に示したように、レジスト34、35をマスクにイオン注入する場合は、酸化膜スペーサー32を形成しなくても良い。

【0040】

最後に、従来の集積回路の作製の場合と同様に層間絶縁物として、リンガラス層20を形成する。リンガラス層の形成には、例えば、減圧CVD法を用いればよい。材料ガスとしては、モノシラン SiH_4 と酸素 O_2 とホスフィン PH_3 を用い、450℃で反応させて得られる。

【0041】

その後、層間絶縁膜に電極形成用の穴を開け、アルミ電極21を形成する。こうして、図1（D）に示されるような相補型MOS装置が完成する。

【0042】

こうして得られた相補型MOSFET装置を構成するMOSFETはP型ポリシリコンをゲート電極に用いているため、P型MOSFETのチャネルが表面チャネルで、N型MOSFETのチャネルが埋め込みチャネルで形成される。この表面チャネルP型MOSFETは従来の埋め込みチャネルP型MOSFETに比べて、そのトランジスタ特性の安定度や、信頼度、パフォーマンスに優れている。特にチャネル長を縮小する場合のソース、ドレイン間リーク電流を著しく低減でき、微細化を容易にした。

【0043】

【発明の効果】

本発明によって、安定度、信頼度、パフォーマンスに優れたMOSFETを作製することが可能となった。特に本発明は、短チャネル化によって、今後進展すると考えられる超低電力化に対して有効な方法である。

【0044】

また、ボルテージレギュレータ用半導体集積回路装置においては、P型MOSFETが占める面積比率が著しく大きい。このため、P型MOSFETが高駆動化、小型化することによる面積縮小に効果（コスト低減効果）は著しい。

【0045】

本発明は主としてシリコン系の半導体装置について述べたが、ゲルマニウムや炭化珪素、砒化ガリウム等の他の材料を使用する半導体装置にも本発明が適用されうことは明白である。さらに、本発明では、ゲート電極の低抵抗化が重要な役割を果たすが、本発明で主として記述したシリコンゲート以外にも、P型MOSFETを表面チャネル化できる物質等をゲート電極として用いてもよい。また、実施例ではP型半導体基板上のMOSFETの作製工程について記述したが、石英やサファイヤ等の絶縁性基板上に形成された多結晶あるいは単結晶半導体被膜を利用した薄膜トランジスタ（TFT）の作製にも本発明が適用されうことも明らかであろう。

【図面の簡単な説明】

【図1】

本発明の半導体装置の製造方法の製造工程順概略断面図である。

【図2】

従来の半導体装置の製造方法の製造工程順概略断面図である。

【図3】

従来の半導体装置の製造方法の製造工程順概略断面図である。

【符号の説明】

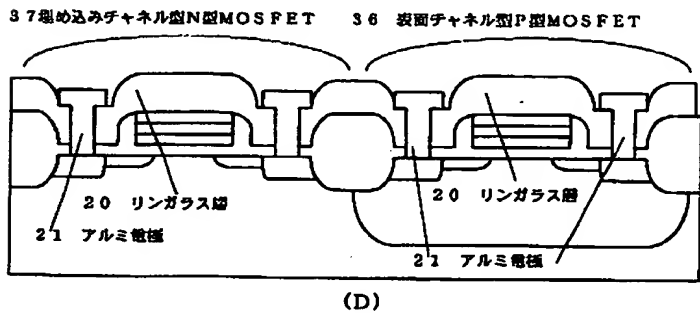
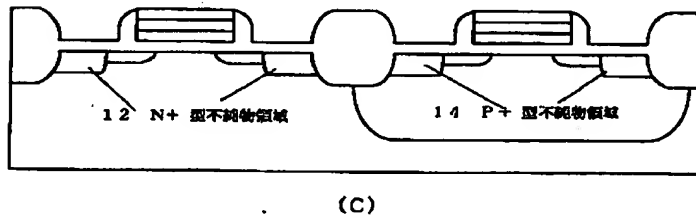
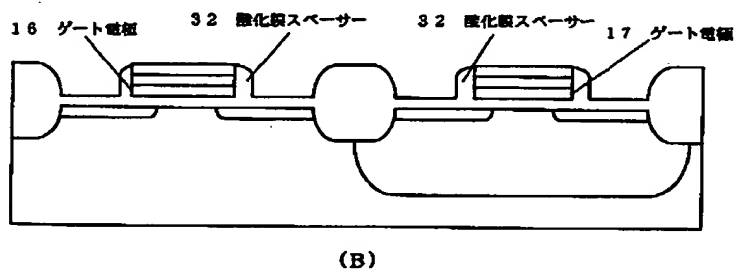
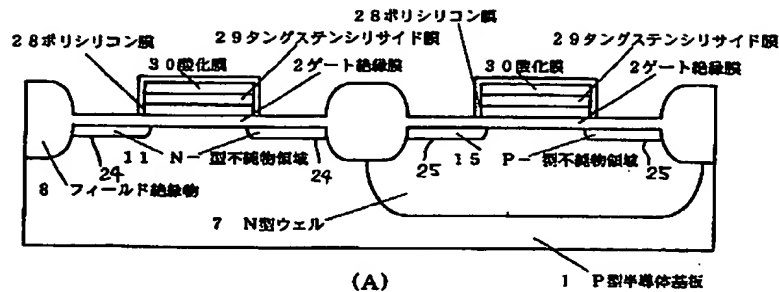
- 1 P型半導体基板
- 2 ゲート絶縁膜
- 3 不純物濃度の高い領域
- 4 ゲート電極

- 5 絶縁膜
- 6 スペーサー
- 7 N型ウェル
- 8 フィールド絶縁物
- 1 1 N - 型不純物領域
- 1 2 N + 型不純物領域
- 1 3 不純物濃度の低い領域
- 1 4 P + 型不純物領域
- 1 5 P - 型不純物領域
- 1 6 ゲート電極 (NMOS用)
- 1 7 ゲート電極 (PMOS用)
- 1 8 酸化珪素層
- 1 9 酸化珪素層
- 2 0 リンガラス層
- 2 1 アルミ電極
- 2 2 酸化膜
- 2 4 ポケット領域 (NMOS用)
- 2 5 ポケット領域 (PMOS用)
- 2 6 酸化膜 (NMOS用)
- 2 7 酸化膜 (PMOS用)
- 2 8 P型ポリシリコン膜
- 2 9 タングステンシリサイド膜
- 3 0 酸化膜
- 3 1 酸化膜
- 3 2 酸化膜スペーサー
- 3 3 酸化膜
- 3 4 レジストマスク
- 3 5 レジストマスク
- 3 6 表面チャネル型P型MOSFET

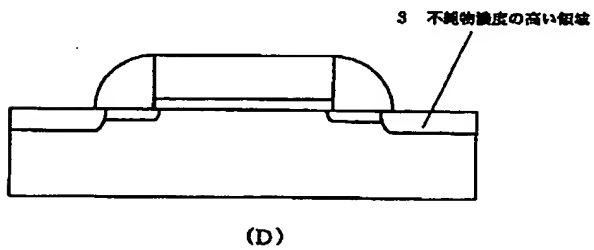
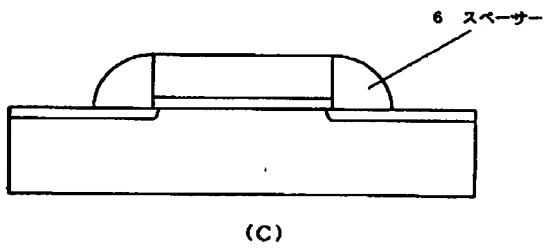
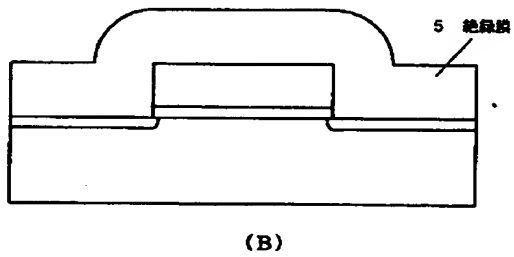
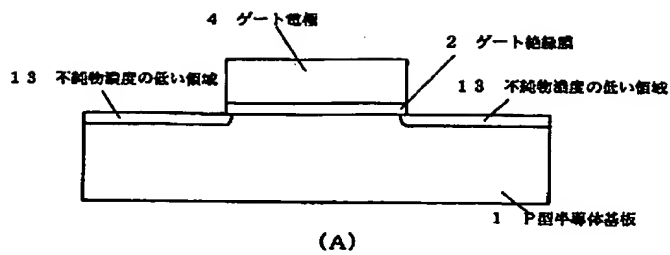
3 7 埋め込みチャネル型N型MOSFET

【書類名】 図面

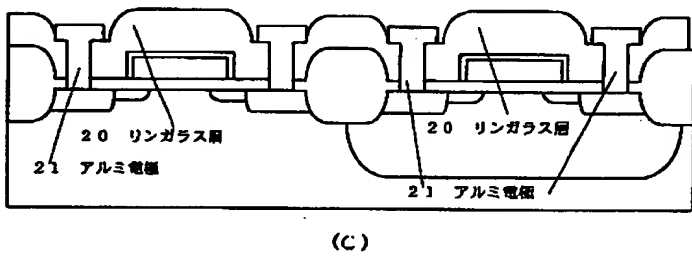
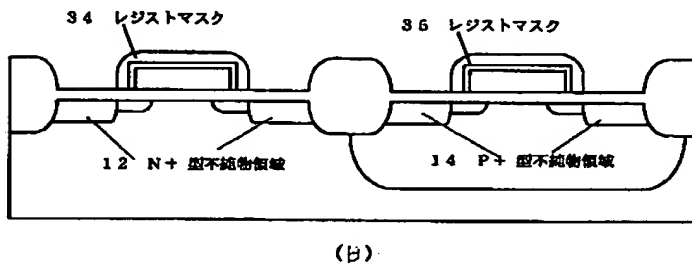
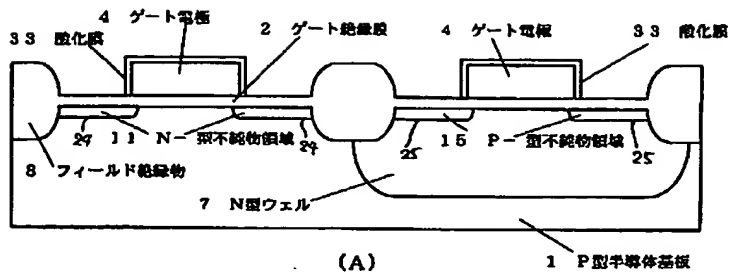
【図 1】



【図 2】



【図 3】



【書類名】 要約書

【要約】

【課題】 チャネル長を縮小してもソースドレイン間のリーク電流を低減できる半導体装置の提供。

【解決手段】 P型MOSFETを表面チャネル型のMOSFETで構成し、駆動能力の向上と小型化を促進し、さらに、短チャネル化に不向きな埋め込みチャネルをN型MOSFETに適用し、従来の埋め込みチャネルP型MOSFETとのパフォーマンスの比較においては、従来より著しく向上した。また、P型ポリシリコンゲートを有するP型MOSFETとP型ポリシリコンゲートを有するN型MOSFETを有し、パフォーマンスに優れた半導体集積回路装置を構成した。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社